

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-079252

(43)Date of publication of application : 20.03.1995

(51)Int.Cl.

H04L 12/56

(21)Application number : 05-222722

(71)Applicant : FUJITSU LTD

(22)Date of filing : 08.09.1993

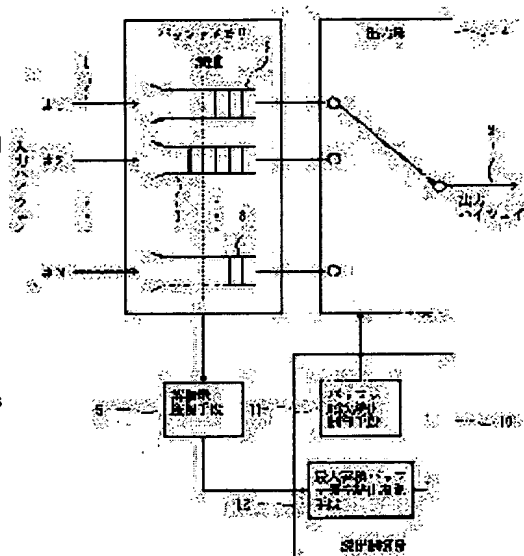
(72)Inventor : SOMIYA TOSHIO
WATANABE NAOSATO
KATO MASABUMI
TOMONAGA HIROSHI
KAMOI EDAMASU

(54) PACKET OUTPUT CONTROL SYSTEM

(57)Abstract:

PURPOSE: To decrease the abolition ratio of a packet in a buffer memory provided at the intersection of an input and output highway in a packet output control system in a packet switchboard.

CONSTITUTION: The packet switchboard in which the packet inputted to plural input highways 1 is stored in a buffer memory 3 provided at the intersection with an output highway 2, and outputted to the output highway 2, is equipped with a storage amount monitoring means 5 which transmits information when the buffer memory whose storage packet amount is beyond a threshold value is generated. A reading control part 10 which operates control for outputting the packet stored in each buffer memory 3 through an outputting part 4 to the output highway is also equipped with a successive reading control means 11 which selects the buffer memory in a constant sequence, and executes the output of the packet, and a maximum storage buffer priority reading control means 12 which executes the priority output of the packet stored in the buffer memory 3 whose packet storage amount exceeds the threshold value.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

REST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-79252

(43)公開日 平成7年(1995)3月20日

(51)Int.Cl.⁹

H 0 4 L 12/56

識別記号

庁内整理番号

F I

技術表示箇所

9077-5K

H 0 4 L 11/ 20

1 0 2 B

9077-5K

1 0 2 Z

審査請求 未請求 請求項の数3 O L (全 23 頁)

(21)出願番号

特願平5-222722

(22)出願日

平成5年(1993)9月8日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 宗宮 利夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 渡辺 直聡

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 加藤 正文

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

最終頁に続く

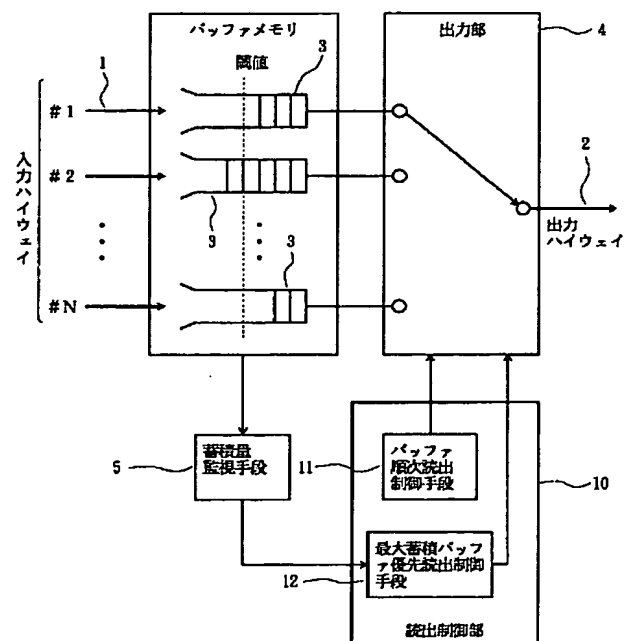
(54)【発明の名称】 パケット出力制御方式

(57)【要約】

【目的】 パケット交換機におけるパケット出力制御方式に関し、入出力ハイウェイの交差点に設けられたバッファメモリにおけるパケットの廃棄率を低下させることを目的とする。

【構成】 複数の入力ハイウェイ1に入力されるパケットを出力ハイウェイ2との交差点に設けたバッファメモリ3に蓄積したのち出力ハイウェイ2に出力させるパケット交換機に、蓄積パケット量が閾値を超えたバッファメモリが発生したときに情報を送出する蓄積量監視手段5を備えるとともに、各バッファメモリに蓄積されたパケットを出力部4を介して出力ハイウェイに出力させる制御を行う読出制御部10内に、バッファメモリを一定順序で選択してパケットを出力させる順次読出制御手段11と、閾値を超えるパケットを蓄積したバッファメモリが発生したときにそのバッファメモリ3に蓄積されたパケットを優先的に出力させる最大蓄積バッファ優先読出制御手段12を備えるように構成する。

本発明の原理説明図(1)



1

【特許請求の範囲】

【請求項 1】 同一方路宛の packets が入力される複数の入力ハイウェイ (1) と該方路に対応する出力ハイウェイ (2) の交差点に前記複数の入力ハイウェイ (1) に対応に設けた先入れ先出し方式のバッファメモリ (3) に入力される packets を一時蓄積させたのち、読出制御部 (10) の制御により前記バッファメモリ (3) より読み出し、出力部 (4) を介して前記出力ハイウェイ (2) に出力させる packets 交換機の packets 出力制御方式であって、前記各バッファメモリ (3) に蓄積された packets の量を監視し、予め定めた閾値を超える量の packets を蓄積したバッファメモリ (3) が発生したとき、該バッファメモリ (3) の packets 蓄積量が閾値を超えたことを示す情報を packets 蓄積量が閾値以下となるまで送出する蓄積量監視手段 (5) を備え、かつ、前記読出制御部 (10) 内に、前記バッファメモリ (3) を一定順序で選択し、選択したバッファメモリ (3) の先頭に蓄積されている packets を前記出力ハイウェイ (2) に出力するよう前記出力部 (4) を制御するバッファ順次読出制御手段 (11) と、

前記蓄積量監視手段 (5) より packets 蓄積量が閾値を超えたバッファメモリ (3) が発生したことを示す情報が送出されている間、前記バッファ順次読出制御手段 (11) による読出制御に優先して packets 蓄積量が閾値を超えたバッファメモリ (3) より packets を読み出して前記出力ハイウェイ (2) に出力するよう前記出力部 (4) を制御する最大蓄積バッファ優先読出制御手段 (12) を備えたことを特徴とする packets 出力制御方式。

【請求項 2】 同一方路宛の packets が入力される複数の入力ハイウェイ (1) と該方路に対応する出力ハイウェイ (2) の交差点に前記複数の入力ハイウェイ (1) に対応に設けた先入れ先出し方式のバッファメモリ (3) に入力される packets を一時蓄積させたのち、読出制御部 (20) の制御により前記バッファメモリ (3) より読み出し、出力部 (4) を介して前記出力ハイウェイ (2) に出力させる packets 交換機の packets 出力制御方式であって、前記各バッファメモリ (3) に蓄積された packets の量を監視し、予め定めた閾値を超える量の packets を蓄積したバッファメモリ (3) が発生したとき、該バッファメモリ (3) の packets 蓄積量が閾値を超えたことを示す情報を packets 蓄積量が閾値以下となるまで送出する蓄積量監視手段 (5) と、

前記入力ハイウェイ (1) より入力される packets の識別情報を該 packets が蓄積されるバッファメモリ (3) と到着順が識別できるように記憶したのち、該識別情報を到着順に順次送出する到着順序記憶手段 (6) を備え、かつ、

前記読出制御部 (20) 内に、前記到着順序記憶手段 (6) より順次送出される packets の識別情報を受信する都度、該 packets が蓄積されているバッファメモリ (3) からパ

2

ckets を読み出して前記出力ハイウェイ (2) に出力するよう前記出力部 (4) を制御する到着順読出制御手段 (21) と、

前記蓄積量監視手段 (5) より packets 蓄積量が閾値を超えたバッファメモリ (3) が発生したことを示す情報が送出されている間、前記到着順読出制御手段 (21) による読出制御に優先して packets 蓄積量が閾値を超えたバッファメモリ (3) より packets を読み出して前記出力ハイウェイ (2) に出力するよう前記出力部 (4) を制御する最大蓄積バッファ優先読出制御手段 (22) と、

前記最大蓄積バッファ優先読出制御手段 (22) が優先的に出力させた packets の識別情報を最大蓄積バッファ優先読出制御手段 (22) より受信して前記到着順序記憶手段 (6) に記憶されている packets の識別情報の中から該 packets の識別情報を消去させる制御を行う優先読出 packets 情報消去手段 (23) を備えたことを特徴とする packets 出力制御方式。

【請求項 3】 前記優先読出 packets 情報消去手段 (23) に代えて、前記バッファメモリ (3) に対応に設けた計数手段を内蔵し、前記最大蓄積バッファ優先読出制御手段 (24) の制御により前記バッファメモリ (3) より packets が読み出されたときに該バッファメモリ (3) に対応する前記計数手段が示す数値に 1 を加算し、前記到着順読出制御手段 (21) より減算の指示を受信した場合に指示されたバッファメモリ (3) に対応する前記計数手段が示す数値より 1 を減ずる優先読出 packets 数記憶手段 (24) を備え、かつ、

前記到着順読出制御手段 (21) 内に、該到着順読出制御手段 (21) が前記出力部 (4) に対して前記バッファメモリ (3) に蓄積された packets を読み出す制御を行う際に、前記優先読出 packets 数記憶手段 (26) 内の該当バッファメモリ (3) に対応する前記計数手段が示す数値を確認し、該数値が 1 以上である場合に packets の読出制御を省略して前記優先読出 packets 数記憶手段 (26) 内の該当バッファメモリ (3) に対応する前記計数手段に対して該計数手段が示す数値より 1 を減ずるよう指示する読出省略処理手段 (25) を備えたことを特徴とする請求項 2 記載の packets 出力制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、packets 交換機における packets 出力制御方式、特に入力ハイウェイと出力ハイウェイの交差点にバッファメモリを設けるクロスポイント・バッファ形式の packets 交換機における packets 出力制御方式に関する。

【0002】 複数の入力ハイウェイから複数の出力ハイウェイへと packets を交換する packets 交換機では、複数の入力ハイウェイから入力されて同一方路に向かう packets をその方路に対応する同一の出力ハイウェイに接続する場合に、複数の入力ハイウェイからの packets が

3

衝突するのを防ぐため、緩衝用メモリ（以下、バッファメモリと記す）が設けられている。バッファメモリの形式はバッファメモリの配置位置によって幾つかに分けられるが、形式によって総メモリ量や、パケット転送速度の変換の要否に差がある。また、バッファメモリの読出制御方法にも各種の方法があるが、特に、特定の入力ハイウェイから同一出力ハイウェイに対してパケットが集中した場合のパケットの廃棄率や、パケットの到着から出力までに要する時間（以下、出力遅延時間と記す）及びその変動は読出制御方法によって大きく異なる。

【0003】このため、パケットの転送速度の変換が不要で、パケットの廃棄率が低く、出力遅延時間とその変動が小さいパケット出力制御方式が求められている。

【0004】

【従来の技術】図12はATMスイッチの構成説明図、図13は出力バッファ形式の構成説明図、図14はクロスポイント・バッファ形式の構成説明図、図15～図17は従来技術の構成図、図18～図20は従来技術のバッファメモリ蓄積状態説明図である。

【0005】図12はパケット交換機的一种であるATM交換機のスイッチ構成を図示したものである。音声、データ、動画像など各種の形態の通信サービスを統合化した次世代の通信ネットワークとして広帯域ISDNの実用化が進められている。ATM(Asynchronous Transfer Mode: 非同期転送モード)はその中核をなす技術であり、動画像などの連続情報やデータなどのバースト情報の発生状態や各種の情報の通信速度に依存することなく、すべての情報を固定長(48バイト長)のブロックに分割し、5バイトのヘッダーを付して構成したセルと呼ばれるパケット(53バイト)を単位として高速転送する技術である。

【0006】ATM交換機では情報をパケット(以下、セルを含めてパケットと記す)単位で交換するため、図12に示すように複数(N)本の入力ハイウェイ1から入力されるパケットをアドレスフィルタ(AF)32により転送先を選別し、同一方路に向かうパケットのみをその方路に該当する1本の出力ハイウェイ2(出力ハイウェイ#iで示す)に出力する。その際、N本の入力ハイウェイ1から同一出力ハイウェイ2に接続されるパケットの衝突を回避するため、入力されるパケットを一旦バッファメモリ3に蓄積したのち、順次出力ハイウェイに出力するようにしている。図12の書込制御部30は各入力ハイウェイ1に入力されるパケットのバッファメモリ3への書き込みを制御し、読出制御部30はバッファメモリ3に蓄積されたパケットを出力ハイウェイ2に出力させる際の読み出しを制御する部分である。図示のように入力ハイウェイ1と出力ハイウェイ2のパケットの転送速度は同一(Vb/s)であるのが普通である。

【0007】図12のバッファメモリ3の配置方法には幾つかの形式があるが、図13と図14に代表的なバッファメ

4

メモリ形式の構成を示す。図13は出力バッファメモリ形式(以下、出力バッファ形式と記す)と呼ばれるもので、同図の(1)に示すように入力ハイウェイ1と出力ハイウェイ2がそれぞれN本である場合にバッファメモリ(BM)3は出力ハイウェイ2に対応して配置される。

【0008】図13の(2)は動作原理を説明するために出力ハイウェイ2を1本(出力ハイウェイ#i)のみ取り出して図示したものである。N本の入力ハイウェイ1から入力されるパケットは集線部33において時分割多重され、出力ハイウェイ2に出力されるが、入出力ハイウェイのパケットの転送速度を Vb/s とした場合、この形式では時分割多重する際に速度をN倍の NVb/s にしてバッファメモリ3に書き込んだのち、速度 Vb/s で読み出して出力ハイウェイ2に出力する必要がある。この形式はバッファメモリ3が出力ハイウェイ2ごとに集約されるため、総メモリ量は少なくなるが、集線部33の内部速度やバッファメモリの書き込み速度を高速にする必要があるため、使用回路素子などが高価なものとなり、制御も難しくなる。

【0009】図14はクロスポイント・バッファメモリ形式(以下、クロスポイント・バッファ形式と記す)と呼ばれるもので、入力ハイウェイと出力ハイウェイの交差点にバッファメモリを配置する形式である。図14の(1)は全体構成の中におけるバッファメモリ3の位置を図示し、同図の(2)は1本の出力ハイウェイ(出力ハイウェイ#i)2のみを取り出して図示しているが、図の(2)では、循環するトークンを捕捉したバッファメモリ3からパケットが読み出されて出力ハイウェイ2に出力される動作原理を示している(トークンについては周知の技術であるため詳細説明は省略する)。

【0010】クロスポイント・バッファ形式はバッファメモリ3が分散されるため、バッファメモリの溢れによるパケット廃棄率を出力バッファ形式と同一値に保とうとするとメモリの総量が大きくなるが、バッファメモリ3の書き込み及び読み出し速度は入出力ハイウェイと同一速度の Vb/s でよいから、制御は容易となる。

【0011】以上のように、出力バッファ形式とクロスポイント・バッファ形式には一長一短があるが、メモリの総量は増加しても低廉化が進んでいる低速の汎用メモリ素子が使用できるクロスポイント・バッファ形式が採用される場合が多くなっている。以下、クロスポイント・バッファ形式を前提として説明する。

【0012】図15～図17はクロスポイント・バッファ形式のパケット交換機におけるバッファメモリ関連部分をバッファメモリの読出制御方法別に記載したものである。各図はいずれも4本の入力ハイウェイ1から入力されるパケットを1本の出力ハイウェイ2に出力する例を示しているが、入力ハイウェイ1にはアドレスフィルタ(図12参照)を経たパケット、即ち、同一方路向けのパケットのみが入力され、出力ハイウェイ2はその方路

5

に該当するハイウェイを示している。なお、各図とも書込制御部は図示省略されている。

【0013】図15～図17において、4本の入力ハイウェイ（#1～#4）1に対応して設けられたBM-A～BM-Dの4つのバッファメモリ3（以下、個々のバッファメモリを指す場合にはBM-A、BM-Bのように記す）は先入れ先出し（First-in First-out、以下、FIFOと記す）方式のメモリであり、バッファメモリごとに最初に入力されたパケットを先頭に入力順に蓄積される。先頭番地に蓄積されたパケットは読出制御部の制御によって読み出され、出力部4を介して出力ハイウェイ2に出力されるが、先頭のパケットが読み出されると後のパケットが順次先頭の番地に向けて歩進するようになっている。

【0014】パケットは出力部4内を循環するトークンを捕捉したバッファメモリ3から読み出される。トークンはBM-A、BM-B、BM-C、BM-Dの順に循環するものとするが、各バッファメモリ3がトークンを捕捉できるか否か、言い換えれば読み出されるか読み飛ばされるかは読出制御部の制御によって決まる。図15～図17の読出制御部はそれぞれ読出制御方法が異なっているが、以下、各図ごとに説明する。

【0015】図15はバッファメモリの読出制御方法にスキップポーリング式（または、バッファ順次読出式）を用いた従来技術の構成図である。読出制御部40のスキップポーリング制御部41は出力部4のトークンにBM-A、BM-B、BM-C、BM-Dの順に読み出させるが、先頭番地にパケットが蓄積されていないバッファメモリ3はスキップ（読み飛ばし）させる。

【0016】図18は図15の構成におけるバッファメモリ3の蓄積状態とパケットの入出力状況を説明する図である。同図は後述の図7の(2)に示すパケット入力時期（S1～S10で示す）に各バッファメモリBM-A～BM-Dにパケットが入力された場合の各バッファメモリのパケット蓄積状態を時間の経過に合わせて記載している。図において、A1はバッファメモリBM-Aに1番目に入力されたパケット、A2はその次にBM-Aに入力されたパケットを示しているが、他のパケットも同様である。また、各バッファメモリBM-A～BM-Dの高さは蓄積されているパケットの数を表し、1番下のパケットが先頭の位置にある。

【0017】図18の最下段にはトークンの読出周期を示しているが、説明の便からパケットがバッファメモリ3に蓄積される時期（以下、入力時期と記す）はトークンの読出周期に同期し、読み出しは最も早くてもパケットの入力時期から1周期後であるとする。また、同時に入力したパケットの読出順序は循環しているトークンが早く到着した方のバッファメモリ3に記憶されているパケットが先に読み出されるものとする。

【0018】図15のスキップ・ポーリング制御部41によ

6

る読出制御では、図18に示すようにパケット到着順序S1にBM-Aに入力されたパケットA1はトークンの次の読出周期で読み出され、パケット到着順序S2にBM-BとBM-Cに同時に入力されたパケットB1とパケットC1はトークンの位置からパケットB1が先に読み出され、次いでパケットC1が読み出される。

【0019】以下同様に読み出され、図18の出力HWに示す順序でパケットは出力ハイウェイ2に出力される。図の例では入力ハイウェイ#3よりパケットが連続して入力され、対応するBM-Cに蓄積されてゆくが、トークンはBM-A、BM-B、BM-C、BM-Dの順に循環するため、同一バッファメモリ3から連続してパケットを読み出すことがない。このため、BM-Cに蓄積されるパケットは入力パケットが少ない他の入力ハイウェイから入力されるパケットより先または同時に入力されても出力が後になることが多い。図の例ではC4、C5、C6、C7の各パケットは他のバッファメモリ3に蓄積されたパケットより早いか、同時に入力されたにも関わらず、出力は最後になっている。

【0020】このことは、パケットが連続して入力されるバッファメモリ3に出力待ちのパケットが次第に累積されることを意味している。説明の便のため、各バッファメモリ3の蓄積容量を3個とすれば、図のパケットC5、C6、C7はBM-Cに蓄積できずに廃棄される可能性が高い。

【0021】以上のように、スキップポーリング式の読出制御方法は制御は極めて単純であるが、バーストラヒックのように同一方路に対してパケットが連続して入力されるような場合、出力遅延時間が大となり、これに伴ってバッファメモリにパケットが累積されるため、パケット廃棄率も高くなるという欠点がある。

【0022】次に図16について説明する。図16はスキップポーリング式の欠点を除くために考案された最大蓄積バッファ優先読出式の読出制御方法を用いた従来技術の構成図である。最大蓄積バッファ優先読出式は蓄積パケットの数（キューの数）が最大のバッファメモリから読み出すようにポーリングを行うもので、以下、LNQ

（Largest Number of cells in the Queue、注）ポーリング式と記す。（注、電子情報通信学会、信学技法SSE92-88、宗宮他「ATM集線装置におけるバーストラヒック特性の一検討」平成4.11.26参照）。

【0023】図16の構成では、蓄積量監視部53が各バッファメモリBM-A～BM-Dのパケット蓄積量を監視し、監視結果を読出制御部50のLNQポーリング制御部51に通知する。LNQポーリング制御部51は各バッファメモリBM-A～BM-Dのパケット蓄積量を比較し、蓄積量が最も多いバッファメモリ3の識別情報を出力部4のトークンに送り、そのバッファメモリ3に蓄積されたパケットを読み出させる。蓄積量が最大のバッファメモリ3が複数、例えば2個存在する場合はトークンの循

環順序に従って2個のバッファメモリ3を交互に読み出す。

【0024】図19は図16の構成におけるバッファメモリ3の蓄積状態とパケットの入出力状況を説明する図である。パケットの入力順序は図18と同一条件であり、図示の方法も図18と同一である。

【0025】図16の方法では蓄積量が最大となったバッファメモリ3が発生するとそのバッファメモリ3に蓄積されているパケットを優先的に読み出させる。図19の例ではBM-CとBM-A(一時的)が最大蓄積量となっている時間が長い、優先的に読み出された結果、例えばC4、C5、C6などのパケットは図18のスキップポーリング式におけるよりもかなり早く読み出される。また、これに伴ってBM-Cに累積されるパケット量が減少し、蓄積量が多くなっている時間が短くなるため、パケット廃棄率もスキップポーリング式より低くなる。図19の場合、各バッファメモリ3の蓄積容量を仮に3個とすれば、パケットC6は廃棄されるが、C6が廃棄されればC7は蓄積可能となる可能性が高いので、廃棄されるパケットの数は図18より少なくなる。

【0026】しかし、LNQポーリング式は蓄積量が多いバッファメモリ3を優先的に読み出す反面、蓄積量が少ないバッファメモリ3の読み出しが後回しとなる。図19に示すように、蓄積量が少ないBM-Bに蓄積されたパケットB2は早い時期に入力されたにも関わらず、後から入力されたパケットC3~C6及びA3よりも出力時期が後になっている。即ち、LNQポーリング式は、同一方路へのトラヒックが少ない入力ハイウェイ1から入力されるパケットの出力遅延時間が大きくなり、また、他のバッファメモリ3の蓄積状態によって出力遅延時間が左右されるため、出力遅延時間の変動も大きくなるという欠点がある。

【0027】次に図17について説明する。図17はスキップポーリング式やLNQポーリング式のようにトラヒックが多い方路または少ない方路のパケット出力遅延の増加や出力時間の変動の増加を防ぐ読出制御方法を用いた従来技術の構成図である。図17の構成では、入力ハイウェイ1に到着順序記憶部62を接続し、全入力ハイウェイ1に入力されるパケットの到着順序を記憶する。到着順序記憶部62に記憶される情報は到着したパケットを識別する情報(以下、パケット情報と記す)で、例えば、アドレス情報などが用いられる。図7の(2)は到着順序記憶部62内のメモリ(図示省略)にパケット情報が記憶された状態を図示したものである。

【0028】到着順序記憶部62は記憶したパケットの識別情報を到着順にFIFO方式で読出制御部60に通知するが、図7の(2)の例では最初にパケット到着順序S1のパケットA1の情報が送出され、次にパケット到着順序S2のパケットB1とC1の情報が送出される。以下、同様にパケットの到着順序が通知されるが、読出制

御部60のFIFOポーリング制御部61は到着順序記憶部62より入力された順に出力部4のトークンに読み出しを指示する。

【0029】図20は図17の構成におけるバッファメモリ3の蓄積状態とパケットの入出力状況を説明する図であるが、パケットの入力条件及び図示の方法は図18と同一である。図20に示すように、入力されたパケットはトークンの位置によって多少前後することはあってもほぼ到着順に出力されている。従って、この方法では特定のパケットだけが極端に長い時間、バッファメモリ3内に蓄積されることはないが、蓄積量が増加しても優先して出力することはないため、バーストラヒックが入力された場合のパケット廃棄率は図16のLNQポーリング式よりも大きくなる。図19と図20のBM-Cのパケット蓄積状態を比較した場合、蓄積されたパケットの最大数は同数であるが、図20の方が最大数のパケットを蓄積している時間が長いことから両者のパケット廃棄率に差があることは明かである。

【0030】

20 【発明が解決しようとする課題】以上のように、従来技術のパケット出力制御方式においては、スキップポーリング式の読出制御方法は同一方路宛のパケットが連続して入力されるバッファメモリに蓄積されたパケットの出力遅延時間が大きくなり、かつ、パケットの廃棄率も高くなるという欠点があった。また、LNQポーリング式の読出制御方法は同一方路へのトラヒックが少ない入力ハイウェイから入力されるパケットの出力遅延時間と出力遅延時間の変動が大きいという欠点がある。更に、FIFOポーリング式の読出制御方法は入力されたパケットが10 入力順に出力されるという長所はあるが、パケットの廃棄率が必ずしも低くないという問題がある。

30 【0031】このため、入力されるパケットの出力遅延時間やその変動が極端に大きくなることなく、低いパケットの廃棄率が得られるパケット出力制御方式が求められている。

【0032】本発明は、入出力ハイウェイの交差点に設けられたバッファメモリにおけるパケットの廃棄率を低下させることを目的とする。

【0033】

40 【課題を解決するための手段】図1は本発明の原理説明図、図2及び図3は本発明の他の原理説明図である。図中、1は同一方路宛のパケットが入力される複数の入力ハイウェイ、2は入力されるパケットの宛先方路に対応する出力ハイウェイ、3は複数の入力ハイウェイ1と出力ハイウェイ2の交差点に入力ハイウェイ対応に設けられた先入れ先出し(FIFO)方式のバッファメモリ、4はバッファメモリ3に記憶されたパケットを出力ハイウェイ4に出力する出力部、10及び20はバッファメモリ3に一時蓄積されたパケットを順次読み出し、出力部4を介して出力ハイウェイ2に出力させる制御を行う読出

制御部である。

【0034】5は各バッファメモリ3に蓄積されたパケットの量を監視し、予め定めた閾値を超える量のパケットを蓄積したバッファメモリ3が発生したとき、そのバッファメモリ3のパケット蓄積量が閾値を超えたことを示す情報をパケット蓄積量が閾値以下となるまで送出する蓄積量監視手段、6は入力ハイウェイ1より入力されるパケットの識別情報をそのパケットが蓄積されるバッファメモリ3と到着順が識別できるように記憶したのち、その識別情報を到着順に順次送出する到着順序記憶手段である。

【0035】11及び12は読出制御部10内に設けられ、11はバッファメモリ3を一定順序で選択し、選択したバッファメモリ3の先頭に蓄積されているパケットを出力ハイウェイ2に出力するよう出力部4を制御するバッファ順次読出制御手段、12は蓄積量監視手段5よりパケット蓄積量が閾値を超えたバッファメモリ3が発生したことを示す情報が送出されている間、バッファ順次読出制御手段11による読出制御に優先してパケット蓄積量が閾値を超えたバッファメモリ3よりパケットを読み出して出力ハイウェイ2に出力するよう出力部4を制御する最大蓄積バッファ優先読出制御手段である。

【0036】21〜23は読出制御部20内に設けられ、21は到着順序記憶手段6より順次送出されるパケットの識別情報を受信する都度、そのパケットが蓄積されているバッファメモリ3からパケットを読み出して出力ハイウェイ2に出力するよう出力部4を制御する到着順読出制御手段、22は蓄積量監視手段5よりパケット蓄積量が閾値を超えたバッファメモリ3が発生したことを示す情報が送出されている間、到着順読出制御手段21による読出制御に優先してパケット蓄積量が閾値を超えたバッファメモリ3よりパケットを読み出して出力ハイウェイ2に出力するよう出力部4を制御する最大蓄積バッファ優先読出制御手段、23は最大蓄積バッファ優先読出制御手段22が優先的に出力させたバッファメモリ3内の該当パケットの識別情報を最大蓄積バッファ優先読出制御手段22より受信して到着順序記憶手段6に記憶されているパケットの識別情報の中からそのパケットの識別情報を消去させる制御を行う優先読出パケット情報消去手段である。

【0037】24は優先読出パケット情報消去手段23に代えて読出制御部20内に設けられるもので、バッファメモリ3対応に設けた計数手段を内蔵し、最大蓄積バッファ優先読出制御手段24の制御によりバッファメモリ3よりパケットが読み出されたときにそのバッファメモリ3に対応する計数手段が示す数値に1を加算し、到着順読出制御手段21より減算の指示を受信した場合に指示されたバッファメモリ3に対応する計数手段が示す数値より1を減ずる優先読出パケット数記憶手段である。

【0038】25は読出制御部20内に優先読出パケット数記憶手段24が設けられる場合に到着順読出制御手段21内

に設けられ、到着順読出制御手段21が出力部4に対してバッファメモリ3に蓄積されたパケットを読み出す制御を行う際に、優先読出パケット数記憶手段26内の該当バッファメモリ3に対応する計数手段が示す数値を確認し、その数値が1以上である場合にパケットの読出制御を省略して優先読出パケット数記憶手段26内の該当バッファメモリ3に対応する計数手段に対してその計数部の表示する数値より1を減ずるよう指示する読出省略処理手段である。

【0039】

【作用】図1において、複数の入力ハイウェイ1より入力される同一方路宛のパケットは入力ハイウェイ1に対応して設けられたバッファメモリ3に一時蓄積される。バッファ順次読出制御手段11はバッファメモリ3を一定順序で順次選択し、選択したバッファメモリ3の先頭に蓄積されているパケットを出力ハイウェイ2に出力するよう出力部4を制御する。この制御により出力部4は各バッファメモリ3の先頭パケットを出力ハイウェイ2に出力させる。バッファメモリ3はFIFOメモリであるため、先頭のパケットが読み出されると以後に入力されたパケットが先頭の位置に向かって一つづつ歩進する。先頭のパケットにパケットが記憶されていないバッファメモリ3はパケットが蓄積されていないことを示しているため、バッファ順次読出制御手段11はそのバッファメモリ3を読み飛ばす（スキップする）。

【0040】一方、蓄積量監視手段5は各バッファメモリ3に蓄積されているパケットの量を監視しているが、パケットの蓄積量が予め設定した閾値を超えたバッファメモリ3が発生すると閾値超過のバッファメモリ3の発生を知らせる情報を蓄積量が閾値以下になるまで読出制御部10に送出し続ける。

【0041】この情報を受信すると、読出制御部10の最大蓄積バッファ優先読出制御手段12はその情報がなくなるまでバッファ順次読出制御手段11による読出制御に優先してパケット蓄積量が閾値を超えたバッファメモリ3よりパケットを読み出して出力ハイウェイ2に出力するよう出力部4を制御する。バッファメモリ3に多量のパケットが入力され、そのバッファメモリ3の蓄積容量を超えると以後のパケットは廃棄されるが、図1においては上記のように、パケットの蓄積量が閾値を超えた時点でそのバッファメモリ3から優先してパケットを読み出すのでパケットが廃棄される可能性は低くなる。

【0042】次に図2の作用を説明する。図1と同様に、複数の入力ハイウェイ1より入力される同一方路宛のパケットは入力ハイウェイ1に対応して設けられたバッファメモリ3に一時蓄積されるが、図2の場合は、到着順序記憶手段6が入力ハイウェイ1より入力されるパケットの識別情報を到着順とそのパケットが蓄積されるバッファメモリ3が識別できるように記憶したうえ、到着順情報として順次読出制御部20に出力する。

10

20

30

40

50

【0043】読出制御部20の到着順読出制御手段21はこの到着順情報を受信する都度、該当バッファメモリ3からパケットを読み出して出力ハイウェイ2に出力するよう出力部4を制御する。従って、図2の構成ではパケットは到着順に出力される。

【0044】一方、蓄積量監視手段5は図1と同様、各バッファメモリ3に蓄積されているパケットの量を監視しているが、パケットの蓄積量が閾値を超えるバッファメモリ3が発生するとこれを知らせる情報を読出制御部10に送出する。この情報を受信すると、読出制御部10の最大蓄積バッファ優先読出制御手段22はその情報がなくなるまで到着順読出制御手段21による読出指示に優先してそのバッファメモリ3よりパケットを読み出して出力ハイウェイ2に出力するよう出力部4に指示する。このため、特定の入力ハイウェイに同一方路宛のパケットが集中して入力されてもパケットの廃棄率は大きくならない。

【0045】ところで図2における最大蓄積バッファ優先読出制御手段22による読み出しでは到着順序記憶手段6に記憶されているパケット到着順序を無視して後から到着したパケットを先に出力する事態が発生する。そのため、到着順序記憶手段6に記憶されているパケット識別情報の中から優先して出力が行われたパケットの識別情報を削除することが必要になる。

【0046】そのため、最大蓄積バッファ優先読出制御手段22は閾値を超えるパケットを蓄積したバッファメモリ3よりパケットを優先的に読み出させると、そのパケットの識別情報を優先読出パケット情報消去手段23に通知する。優先読出パケット情報消去手段23はこの通知を受けると、到着順序記憶手段6に記憶されているパケットの識別情報の中からそのパケットの識別情報を消去する。

【0047】次に図3の作用について説明する。図3においても図2と同様、通常は読出制御部20の到着順読出制御手段21が到着順序記憶手段6からの情報に従って該当バッファメモリ3からパケットを読み出して出力ハイウェイ2に出力させるので、図3でもパケットは到着順に出力される。また、パケット蓄積量が閾値を超えたバッファメモリ3が発生したときに最大蓄積バッファ優先読出制御手段22がそのバッファメモリ3から蓄積されたパケットを優先的に読み出させる作用も図2と同じである。

【0048】図3においても最大蓄積バッファ優先読出制御手段22による読み出しが行われると到着順序記憶手段6に記憶されているパケット到着順序を無視して後から到着したパケットを先に出力する事態が発生するが、図3では到着順序記憶手段6に記憶されている到着順のパケット識別情報を消去せずにパケットの出力が混乱しないように処理する。

【0049】そのため、図3の優先読出パケット数記憶

手段24にはバッファメモリ3に対応に計数手段（図示省略）が設けられている。この計数手段は初期値として0を示しているが、最大蓄積バッファ優先読出制御手段22の制御により閾値超過のバッファメモリ3からパケットが読み出される都度、読み出しが行われたバッファメモリ3に対応する計数手段が示す数値に1を加算する。従って、計数手段の数値は優先して読み出したパケットの数を示すこととなる。

【0050】そのバッファメモリ3のパケット蓄積量が閾値以下になるとバッファメモリ3の読み出しは再び到着順読出制御手段21によって行われるようになる。到着順読出制御手段21は最初のとくと同様に到着順序記憶手段6より出力されるパケット識別情報に従ってパケットの読み出しを制御する。このとき到着順序記憶手段6より出力されるパケット識別情報の中には最大蓄積バッファ優先読出制御手段22の制御により優先して出力されたパケットの識別情報も含まれているが、到着順読出制御手段21が出力部4に読み出しを指示するのに先立って読出省略処理手段25が優先読出パケット数記憶手段24にアクセスし、そのパケットが蓄積されているバッファメモリ3に対応する計数手段の数値を確認する。

【0051】その数値が1以上を示している場合はそのバッファメモリ3から優先して読み出したパケットが1個以上存在することになるので、読出省略処理手段25は到着順読出制御手段21にそのバッファメモリ3からの読み出しを省略させる。このため、到着順読出制御手段21は次のパケットの読み出しに移るが、その際、読出省略処理手段25は優先読出パケット数記憶手段24の該当バッファメモリ3に対応する計数手段の数値より1を減ずる。従って、計数手段が示す数値はそれ以降、そのバッファメモリ3から読み出しを省略すべき回数（パケットの数）を示すことになる。

【0052】以上を繰り返すことにより該当バッファメモリ3に対応する計数手段の数値は順次減少するが、計数手段の数値が0になった場合は、優先して出力されたパケットがなくなったことを示すため、以後、到着順読出制御手段21は到着順序記憶手段6より出力されるパケット識別情報に従って、到着順にパケットを読み出す制御を行う。

【0053】図3の方法は優先読み出しを行ったバッファメモリ3から更に読み出しを行ったり、すでに読み出したパケットを重複してパケットを読み出すことなどがないようにする点で図2と同じ作用をもつが、図2の優先読出パケット情報消去手段23に比して処理が簡単になる。

【0054】

【実施例】図4～図6は本発明の実施例の構成図で、図4は図1の原理説明図、図5は図2の原理説明図、図6は図3の原理説明図にそれぞれ基づく実施例の構成図である。また、図7は本発明の実施例の到着順序記憶部に

10

20

30

40

50

におけるパケット情報記憶状態の説明図、図8及び図9は図4の構成における実施例のバッファメモリ蓄積状態説明図、図10及び図11は図5及び図6の構成における実施例のバッファメモリ蓄積状態説明図である。

【0055】全図を通じ、同一符号は同一対象物を示し、11はスキップポーリング制御部で図1のバッファ順次読出制御手段11の実現形態、12はLNQポーリング制御部で図1の最大蓄積バッファ優先読出制御手段12の実現形態、21はFIFOポーリング制御部で図2及び図3の到着順読出制御手段21の実現形態、22はLNQポーリング制御部で図2及び図3の最大蓄積バッファ優先読出制御手段の実現形態である。24A～24DはFIFOポーリング制御部21内に設けられるカウンタ（以下、CNT-A～CNT-Dと記す）で、作用の説明において計数手段として説明したものに該当する。また、25は読出省略処理部（NRC）で、図3の読出省略処理手段25の実現形態である。

【0056】図4～図6の構成図においては入力ハイウェイ1として#1～#4の4本の入力ハイウェイのみを記載し、バッファメモリ3も4本の入力ハイウェイ1に対応してBM-A～BM-Dの4個のみを記載している。以下、バッファメモリ3を個別に説明する場合はBM-A～BM-Dを用いる。

【0057】次に、各図について説明するが、入力ハイウェイ1、バッファメモリ3、出力部4（トークンを含む）及び出力ハイウェイ2の構成と基本的な動作は従来技術において説明した内容と同一であるので簡単な説明にとどめる。また、図4～図6の構成の基本的な動作は作用の説明に記載した内容と変わらないので重複を避け、パケットの入出力と蓄積状況を中心に具体的なモデルにより説明する。

【0058】まず、図4の構成について図7、図8及び図9を併用して説明する。図4の4本の入力ハイウェイ#1～#4に入力されるパケットはそれぞれ対応するバッファメモリBM-A～BM-Dに入力順に蓄積される。蓄積量監視部5は各バッファメモリBM-A～BM-Dに蓄積されているパケットの数が予め設定した閾値を超えていないか監視しているが、説明の便のため、この閾値を「2」とする。前記したようにバッファメモリ3はFIFOメモリであるので、先頭のパケットが出力されると以後のパケットは順次先頭に向けて歩進するが、上記の前提では2個のパケットが蓄積されている状態で3個目のパケットが入力されるとそのバッファメモリ3の蓄積量が閾値を超えたとして読出制御部10に通知がなされる。

【0059】最初に、すべてのバッファメモリ3が閾値を超えていない状態の動作について説明するが、パケットの入力順序として図7の(1)を用いる。図7は後述の到着順序記憶部6の記憶状態を説明する図であるが、入力順序のモデルとしても使用することとする。図7の

(1)は入力時期S1の時点でBM-AにパケットA1、S2の時点でBM-BにパケットB1、以下同様に入力されることを図示しているが、S1、S2等の入力時期は説明の便から従来技術と同様、出力部4のトークンの読出周期に同期しているものとする。これらのパケット、例えばパケットA1～A4はBM-A内においては先頭番地（図示省略）から順に詰めて記憶され、出力されると消滅する。なお、図7中におけるトークン方向の矢印はパケットの出力順序に係るバッファメモリ3の選択順序を示すものである。図8は図7の(1)の入力モデルに従ってパケットが入力された場合のバッファメモリBM-A～BM-Dの蓄積状態とパケットの入出力状況を示し、同図の出力HWには出力ハイウェイ2にパケットが出力される順序が示されている。図4の構成では閾値を超えるパケットを蓄積したバッファメモリ3がない場合、スキップポーリング制御部11の制御によって出力が行われるが、図8に示すように、この入力モデルではBM-A、BM-B及びBM-Dの3つのバッファメモリはいずれも2個目のパケットが入力される前に1個目のパケットが出力され、BM-Cも同時に2個のパケットが蓄積されることがあっても閾値（3個）を超えるパケットが蓄積されることはない。

【0060】出力部4のトークンはBM-A、BM-B、BM-C、BM-Dと循環したのち再びBM-Aに戻るため、図8のパケットC2のようにパケットB2よりも先に入力されたにも関わらず後から出力されたり、パケットC4のようにパケットA4やパケットB3よりも先に入力されたにも関わらず、それらのパケットより後から出力されるようなケースも生ずるが、この入力モデルのようにトラヒックが少ない場合にはスキップポーリング制御でも入力されてから極端に長い間、出力されずにいるパケットが生ずることは少ない。

【0061】次に閾値を超えるパケットを蓄積したバッファメモリ3が発生した場合について説明するが、この場合には図7の(2)を入力モデルとして用いる。なお、この入力モデルは従来技術の説明に使用したものと同一である。

【0062】図9は図7の(2)に示す入力時期にパケットが入力された場合のバッファメモリBM-A～BM-Dの蓄積状態とパケットの入出力状況を示している。図9の例ではパケットA2が出力HWに出力されたあと、スキップポーリング制御によりパケットB2が出力される筈であったが、その読出周期が到来したときにパケットC4が3個目のパケットとしてBM-Cに蓄積されるため、図4の蓄積量監視部5より読出制御部10にBM-Cのパケット蓄積量が閾値を超えたことが通知される。ここでは説明の便のため、この通知を受けると読出制御部10は直ちにLNQポーリング制御部12による制御に移行するものとする。

【0063】LNQポーリング制御部12による制御では

10

20

30

40

50

閾値を超えたバッファメモリ（この場合はBM-C）から優先的にパケットの読み出しを行うので、先ずBM-Cの先頭に蓄積されているパケットC2を読み出す。パケットC2が読み出されるとBM-Cのパケット蓄積量は閾値以下の2個になるが、次の読出周期のときに3個目のパケットC5が蓄積されるため、続けてBM-Cよりのパケット読み出しが行われる。以下、同様にしてパケットC5までBM-Cのみからパケットの読み出しが行われる。

【0064】パケットC5が出力されるとBM-Cのパケット蓄積量は閾値以下となるので読出制御部10の制御はスキップポーリング制御部11に戻る。このとき、トークンはパケットC5の読み出し終了直後であるためBM-Dの読み出しから始め、パケットD2が読み出される。以下、パケットA3、B2の順で読み出される。

【0065】ここで図9をスキップポーリング制御のみにより読み出しを行った従来技術の図18と比較する。図9と図18は入力モデルが全く同一であるが、各パケットの出力時期を比較すると、図18ではBM-Cに連続して入力されたパケットC4～C7が最後に出力されているのに対し、図9では蓄積量が閾値を超えたときにBM-Cから優先的に読み出されるため、パケットC4～C7の全部が最後まで出力されずに残っていると言うような現象は生じない。

【0066】このように、図9では同一のバッファメモリBM-Cにパケットが連続して入力されてもパケットがそのまま累積されないため、パケットがバッファメモリ3から溢れる可能性が減り、パケットの廃棄率が低下する。これは図9と図18の比較によっても確認できる。即ち、図18では4個以上（最大5個）のパケットが蓄積された状態が発生しているのに対して、図9ではBM-Cに4個以上のパケットが蓄積される状態は発生していない。BM-Cの蓄積容量を仮に3個とすれば図18ではパケットC5、C6、C7が廃棄される可能性が高いが、図9ではパケットの廃棄が生じない。即ち、図9のパケット廃棄率が図18に比して低いことは明瞭である。

【0067】次に図9をLNQポーリング制御のみにより読み出しを行った従来技術の図19と比較して見る。図9と図18も入力モデルは全く同一であるが、ここでも図9の方がパケットの廃棄率が低くなることは明かである。

【0068】また、図4の構成ではパケットの蓄積量が閾値を超えるバッファメモリ3が発生するとそのバッファメモリの読み出しを優先したため、例えば図9のパケットB2のように入力からかなり後に出力されるパケットが生ずる。この点において図9と図19に大きな差はないように見えるが、これは説明の便から閾値を低く設定したこと起因している。閾値を高く設定すれば出力時期が大きく遅れるパケットは特定のバッファメモリ3に集中トラヒックが加わったような場合にしか発生しな

い。これに対して、図19ではたとえトラヒックが低くてもBM-Bよりも多いパケットを蓄積しているバッファメモリ3が存在すればBM-Bに蓄積されたパケットの出力時期が大きく遅れる可能性が高い。

【0069】以上から、図4の構成は廃棄率及びパケットの遅延時間のいずれにおいてもLNQポーリング制御のみにより読み出しを行う従来技術に対しても優れていることは明かである。

【0070】次に図5の構成について図7、図10及び図11を併用して説明する。図5の構成では閾値を超えるパケットを蓄積したバッファメモリ3がない場合、FIFOポーリング制御部21の制御によって出力が行われ、閾値を超えるパケットを蓄積したバッファメモリ3が発生するとLNQポーリング制御部22の制御に切替えられる。

【0071】最初に図7の(1)の入力モデルによりパケットが入力され、すべてのバッファメモリ3の蓄積パケットが閾値を超えない場合について説明する。図10はその場合のバッファメモリBM-A～BM-Dの蓄積状態とパケットの入出力状況を説明する図である。

【0072】図5では到着順序記憶部6が入力ハイウェイ1に入力されるパケットの到着順序をメモリ（図示省略）に記憶している。図7はこれまで入力モデルの説明に利用してきたが、本来は到着順序記憶部6のメモリにパケットの到着順序が記憶された状態を説明する図である。到着順序記憶部6にはパケットの到着順序がバッファメモリ別に記憶されるが、この場合、図7のS1～S12はBM-A～BM-D対応に設けられた到着順序記憶部6内のメモリ領域の相対番地に相当し、S1が各メモリ領域の先頭番地を示していると見ることができる。また、A1～D4は従来技術の説明においても述べたように、バッファメモリ3に蓄積されるパケット本体ではなく、アドレス情報などのパケット情報である。

【0073】到着順序記憶部6のメモリもFIFO式のメモリであり、例えば先頭番地のS1に記憶されたパケット情報A1が読出制御部20に対して出力されるとS2に記憶されたパケット情報B1が先頭番地に進み、以下のパケット情報も順次1番地づつ歩進する。ただし、このメモリに記憶されるパケット情報はバッファメモリ3に蓄積されるパケットとは異なり、到着順序記憶部6内においてバッファメモリ単位に先頭番地に詰めて記憶されることはない。

【0074】以上のように、到着順序記憶部6は図7の(1)のように記憶されてゆくパケット情報を先頭番地S1から順次読出制御部20内のFIFOポーリング制御部21に送出するが、FIFOポーリング制御部21はパケット情報の受信順に該当バッファメモリ3からそのパケット情報に指定されたパケットを読み出すよう出力部4を制御する。その結果、図10の出力HWに示す順序でパケットが出力される。

【0075】図10では全バッファメモリBM-A~BM-Dが閾値以上のパケットを蓄積することがないので図9における出力順序と大きな差はないが、図10の場合、同時に入力されたパケットの出力順序がトークンの位置により前後することはあっても、図9と異なって後から入力されたパケットが先に出力されることはない。

【0076】次にパケット蓄積量が閾値を超えるバッファメモリ3が発生した場合、即ち、図7の(2)のようにパケットが入力された場合のバッファメモリ3の蓄積情報とパケットの入出力状況を図11により説明する。この場合、FIFOポーリング制御部21は出力HWにパケットA2を出力したのち、パケットB2を出力しようとするが、パケットC5が入力されたことによりBM-Cのパケット蓄積量が閾値を超えるため、この時点から読出制御部20はLNQポーリング制御部22による制御に移る。以後、パケットC5を出力するまでパケットの読み出しはBM-Cのみ行われ、パケットC5の出力を終わるとFIFOポーリング制御部21による制御に戻る。

【0077】ここで、到着順序記憶部6のメモリの記憶状態を説明する。この場合における到着順序記憶部6のメモリの記憶状態は図7の(2)に示される。到着順序記憶部6のメモリはFIFOメモリであるため、パケットA2を出力した状態では図7の(2)のS4に記憶されたパケット情報が先頭番地にきているが、ここでFIFOポーリング制御部21がパケットB2を読み出す前に、LNQポーリング制御部22によってS5番地のパケットC3、S7番地のパケットC4、S8番地のパケットC5が読み出される。

【0078】パケットC3、C4、C5を読み出す都度、到着順序記憶部6のメモリを歩進させるとまだ出力されていないパケットB2、D2、A3、A4の情報が失われるため、FIFOポーリング制御部21からLNQポーリング制御部22に制御が移った時点で到着順序記憶部6のメモリの歩進(FIFO動作)を停止させる。従って、この場合はS4番地が先頭番地となった状態で停止する。

【0079】LNQポーリング制御部22は制御を開始すると前記のように出力部4を制御してBM-Cの読み出しを行うが、そのとき読み出したパケットの識別情報(到着順序記憶部6より受信して記憶しているパケット情報)を優先読出パケット情報消去処理部23に送出する。優先読出パケット情報消去処理部23はこのパケット情報を到着順序記憶部6に送り、到着順序記憶部6のメモリからそのパケット識別情報を消去させる。

【0080】従って、BM-Cのパケット蓄積量が閾値以下となったとき、即ち、パケットC5を出力し終わった時点では到着順序記憶部6のメモリは図7の(2)のS4のパケット情報が先頭番地にあり、かつ、C3、C4、C5のパケット情報が消去された状態となっている。BM-Cのパケット蓄積量が閾値以下となり、F I

FOポーリング制御部21に制御が戻ると、FIFOポーリング制御部21は図7(2)のS4に記憶されているパケットからバッファメモリの読み出しを再開するが、パケットA2の読み出しが終了したことは記憶されているのでパケットB2の読み出しから再開する。

【0081】S4に記憶されたパケット情報によりパケットB2の読み出しが終了すると到着順序記憶部6のメモリに記憶されたパケット情報は1番地づつ歩進するが、パケットC3の識別情報が消去されているためS5には何も記憶されていない。このため、メモリは更に歩進し、S6が先頭番地となる。FIFOポーリング制御部21はS6に記憶されているパケットを読み出すように制御するので、図11の出力HWに示すようにパケットB2に続いてパケットD2が出力される。

【0082】ここで、図11をFIFOポーリング制御のみにより読み出しを行った従来技術の図20と比較する。図11と図20は入力モデルが全く同一であるが、各パケットの出力順序を見ると、図18にはFIFOポーリングの特徴である入力順の出力が保たれている状況が現れているのに対して、図11は閾値を超えたBM-Cの読み出しを優先させるため、他のバッファメモリ3に蓄積されている一部のパケット、例えばパケットB2などは出力が遅延している。

【0083】しかし、バッファメモリ3の蓄積量を比較すると、特に入力パケットの多いBM-Cにおいて図11と図20の間に大きな差がある。即ち、図11では閾値を超える3個目のパケットC5が入力されたのちもパケットの蓄積量が3個以下であるのに対して図20ではパケットの蓄積量が4個以上となる時間が比較的長く続く。バッファメモリ3の蓄積容量を例えばパケット3個とすると、図20ではパケットC6とC7は廃棄される可能性が高いのに対して、図11ではパケットの廃棄は生じない。即ち、パケットの廃棄率は明かに図11の方が低い。

【0084】次に図11をLNQポーリング制御のみにより読み出しを行った従来技術の図19と比較する。これまでの各方式の比較結果を加味して両図を比較すれば、ここでも図11の方がパケットの廃棄率が低いことは明かである。また、図11では閾値を超えたパケットが蓄積されたバッファメモリBM-Cのパケットを優先して出力している間を除いてパケットの出力順序はほぼ入力順序に従っている。従って、パケットの送出遅延及び遅延変動の点においても図11の方が優れていることは明かである。

【0085】次に図6の構成について説明するが、図6の読出制御方法は図5と全く同一で、バッファメモリ3の蓄積状態とパケットの入出力状況も図11がそのまま適用されるのでパケットの読出制御については説明を省略し、優先読出パケット数記憶部24と読出省略処理部(NRC)25を主体に説明する。

【0086】図5において説明したように、通常状態で

10

20

30

40

50

F I F Oポーリング制御を行い、閾値を超えるパケットを蓄積したバッファメモリ 3 が発生したときにそのバッファメモリ 3 の読み出しを優先させる読出制御方法では、優先して出力したパケット情報を到着順序記憶部 6 から消去するか、優先読み出しを行ったバッファメモリ 3 のパケット蓄積量が閾値以下となったのちにおいてもそのバッファメモリが優先的に読み出されることがないように処理する必要がある。図 6 は後者の処理を行うものである。

【0087】図 6 の F I F Oポーリング制御部 21 が出力 HW にパケット A 2 を出力したときに B M - C にパケット C 5 が入力されると、B M - C のパケット蓄積量が閾値を超えるため、この時点から読出制御部 20 は L N Q ポーリング制御部 22 による制御に移り、L N Q ポーリング制御部 22 は先ずパケット C 3 を読み出す。このとき、L N Q ポーリング制御部 22 は優先読出パケット数記憶部 24 に対して優先読み出しの実行を知らせる情報を送出する。この状態で B M - C よりパケット C 3 が読み出されると B M - C より読み出しが行われたことを検出できる信号（以下、読出信号と記す）、例えばバッファメモリ 3 のリードイネーブル信号（周知の技術であるため、詳細説明は省略する）が優先読出パケット数記憶部 24 内のカウンタ C N T - C に出力される。カウンタ 24 A ~ 24 D は初期値は“0”となっているが、L N Q ポーリング制御部 22 より優先読み出しの実行を知らせる情報が送出されている状態でバッファメモリ 3 より読出信号が送出されると読み出しが行われたバッファメモリ 3 に対応するカウンタ（この場合は C N T - C）をインクリメントする。優先読み出しはパケット C 5 を出力するまで行われるので、パケット C 4 及び C 5 が読み出されるときにも C N T - C はインクリメントされ、優先読み出しを終了した時点で C N T - C の記憶している数値は「3」となる。

【0088】この状態で制御が F I F Oポーリング制御部 21 に戻ると、F I F Oポーリング制御部 21 は到着順序記憶部 6 より到着順のパケット情報を得て F I F Oポーリング制御によるパケットの読出制御を再開する。このとき、到着順序記憶部 6 のメモリは前記したように図 7 の (2) の S 4 が先頭番地になっている状態であるが、図 6 の構成ではパケット C 3 ~ C 5 の識別情報は消去されないためそのまま残っている。

【0089】F I F Oポーリング制御部 21 は読出制御を再開すると図 5 における同様に先ずパケット B 2 を読み出す動作に入るが、その際、F I F Oポーリング制御部 21 内の読出省略処理部 25 がパケット B 2 が蓄積されているバッファメモリ B M - B に対応するカウンタ C N T - B の数値を確認する。C N T - B は対応するバッファメモリ B M - B が優先読み出しをされることがなかったため、数値は初期値の“0”を表示している。読出省略処理部 25 はこれを F I F Oポーリング制御部 21 の本体に

知らせる。カウンタの数値が 1 以上の数を示していない場合、F I F Oポーリング制御部 21 はそのまま読み出しを行うように制御するのでパケット B 2 が B M - B より読み出される。

【0090】これによって到着順序記憶部 6 のメモリは歩進し、図 7 の (2) に示す S 5 が先頭番地になる。F I F Oポーリング制御部 21 は S 5 に記憶されているパケット C 3 の識別情報を得て読み出し動作に入り、パケット B 2 の場合と同様に読出省略処理部 25 はパケット C 3 が蓄積されているバッファメモリ B M - C に対応するカウンタ C N T - C の数値を確認する。このとき C N T - C は前記のように「3」を表示しているが、カウンタの数値が 1 以上の数を示していると、読出省略処理部 25 はそのカウンタの数値をデクリメントするとともに、F I F Oポーリング制御部 21 にそのときのパケット（この場合はパケット C 3）の読み出しを省略させるようにする。従って、到着順序記憶部 6 のメモリにパケット情報が残っていてもパケット C 2 が再び出力されたり、閾値以下となっているバッファメモリ B M - C から他のパケットが優先的に読み出されたりすることはない。なお、この時点でカウンタ C N T - C の数値は「2」となる。

【0091】以後、同様にして F I F Oポーリング制御部 21 はパケット D 2、A 3、A 4 を読み出すが、その間においてパケット C 4、C 5 の読み出し制御は省略する。パケット C 5 の読み出しを省略した時点でカウンタ C N T - C の数値は「0」となるので、以後のバッファメモリ B M - C からの読み出しは正常に行われる。優先読み出しを行ったバッファメモリ 3 からの読み出しがパケット蓄積量が閾値以下となったのちに混乱することを防止する方法として図 6 の方法はハード回路主体で構成できるため、ソフトウェアによる動作が主体となる図 5 の方法よりも処理が簡単となるという特徴がある。

【0092】以上、図 4 ~ 図 11 により本発明の実施例を説明したが、図 4 ~ 図 11 はあくまで本発明の実施例の一部を示したものに過ぎず、本発明が図示した内容のみに限定されないことは言うまでもない。例えば、図 4 ~ 図 11 においては出力部 4 内にトークンを循環させるとして説明したが、出力部 4 がバッファメモリ 3 を選択する方法はトークンを使用する方法以外にも各種の方法があり、いずれの方法によっても本発明の効果が変わらないことは明かである。また、優先読出パケット数記憶部 24、特にその内部に設けられるカウンタ C N T - C ~ C N T - C は図 6 においては読出制御部 20 内に設けられているが、これらが読出制御部 20 の外に設けられていても本発明の効果は変わらない。

【0093】更に、図 8 ~ 図 10 においては特定の入力モデルによりパケットの入出力状況を説明したが、その特徴は定性的なものであるため、入力モデルが変わってもそれぞれの特徴が失われたり、各構成間或いは従来技術との間で優劣関係が変わることがないことは明かであ

10

20

30

40

50

る。

【0094】

【発明の効果】以上説明したように、入力ハイウェイと出力ハイウェイの交差点にバッファメモリを設けて入力されるパケットを一時蓄積させたのち出力ハイウェイに出力させるパケット交換機においては、特定の入力ハイウェイから同一方路宛にバースト状のパケットが入力されるとその入力ハイウェイに対応するバッファメモリにパケットが集中して蓄積されるため、パケットの廃棄率が高くなる可能性があるが、本発明によればパケット量 10 が予め定めた閾値以上に達するとそのバッファメモリに蓄積されたパケットを優先的に出力させるため、パケットの廃棄率を低下させることができ、また、蓄積量が多いバッファメモリや蓄積量が少ないバッファメモリに蓄積されたパケットの出力遅延時間及び出力遅延時間の変動が極端に大きくなる現象が避けられる。このため、本発明はパケット交換機の性能向上とサービス品質の向上に大きく貢献する。

【図面の簡単な説明】

【図1】 本発明の原理説明図（1）

【図2】 本発明の原理説明図（2）

【図3】 本発明の原理説明図（3）

【図4】 本発明の実施例構成図（1）

【図5】 本発明の実施例構成図（2）

【図6】 本発明の実施例構成図（3）

【図7】 本発明の実施例到着順序記憶部記憶状態説明図

【図8】 図4の構成における実施例バッファメモリ蓄積状態説明図（1）

【図9】 図4の構成における実施例バッファメモリ蓄積状態説明図（2）

【図10】 図5・図6の構成における実施例バッファメモリ蓄積状態説明図（1）

【図11】 図5・図6の構成における実施例バッファメモリ蓄積状態説明図（2）

【図12】 ATMスイッチの構成説明図

【図13】 出力バッファ形式構成図

【図14】 クロスポイントバッファ形式構成図

【図15】 従来技術の構成図（1）

【図16】 従来技術の構成図（2）

【図17】 従来技術の構成図（3）

【図18】 従来技術のバッファメモリ蓄積状態説明図（1）

【図19】 従来技術のバッファメモリ蓄積状態説明図（2）

【図20】 従来技術のバッファメモリ蓄積状態説明図（3）

【符号の説明】

1 入力ハイウェイ

2 出力ハイウェイ

3 バッファメモリ

4 出力部

5 蓄積量監視手段

6 到着順序記憶手段

10、20 読出制御部

11 バッファ順次読出制御手段

12、22 最大蓄積バッファ優先読出制御手段

21 到着順読出制御手段

23 優先読出パケット情報消去手段

24 優先読出パケット数記憶手段

25 読出省略処理手段

【図7】

本発明の実施例到着順序記憶部記憶状態説明図

（1）バッファメモリの蓄積量がすべて閾値以下となる場合

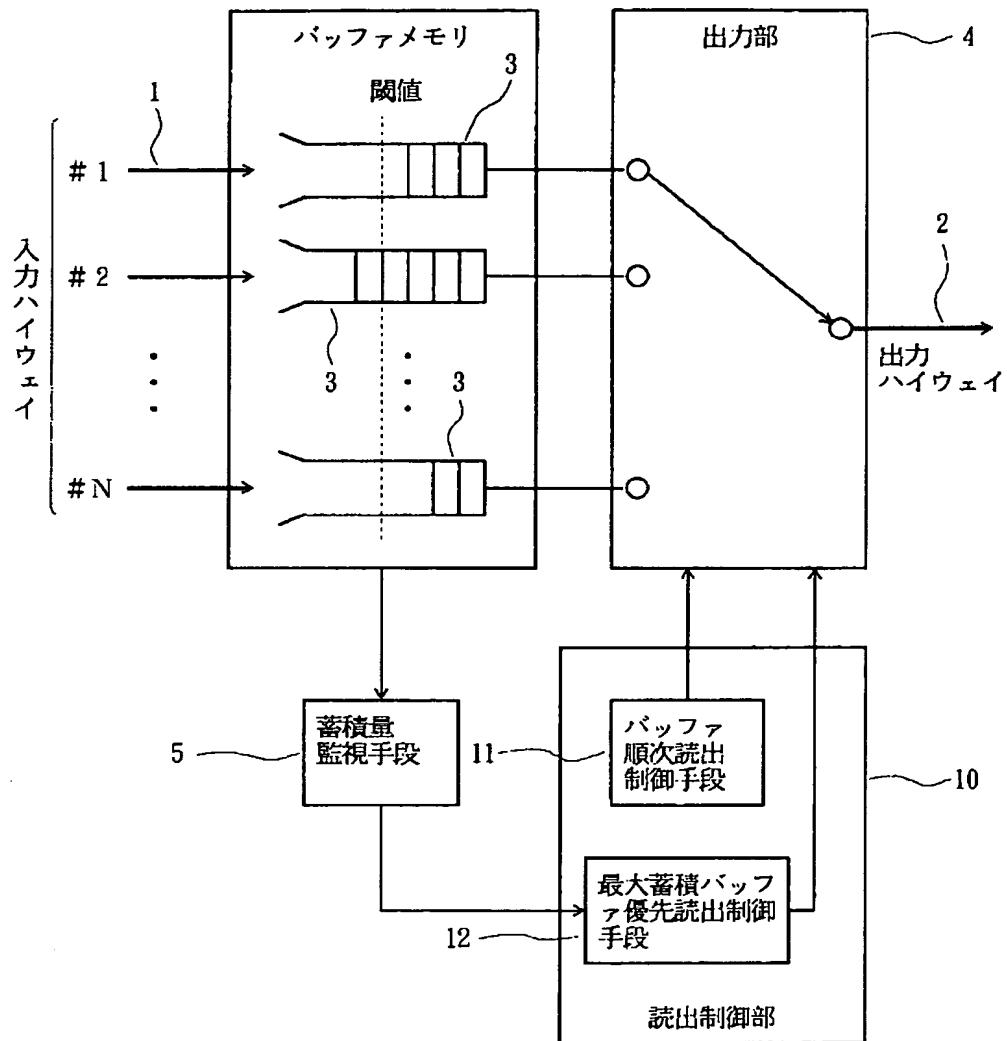
パケット入力時期 (FIFO読出し順序)		S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12
ト ー ク ン 方 向	BM-A	A1				A2			A3			A4	
	BM-B		B1				B2						B3
	BM-C				C1	C2				C3	C4		
	BM-D			D1				D2			D3		

（2）蓄積量が閾値を超えるバッファメモリが発生する場合

パケット入力時期 (FIFO読出し順序)		S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12
ト ー ク ン 方 向	BM-A	A1			A2			A3	A4				
	BM-B		B1		B2						B3		
	BM-C		C1	C2		C3		C4	C5	C6	C7		
	BM-D			D1			D2			D3	D4		

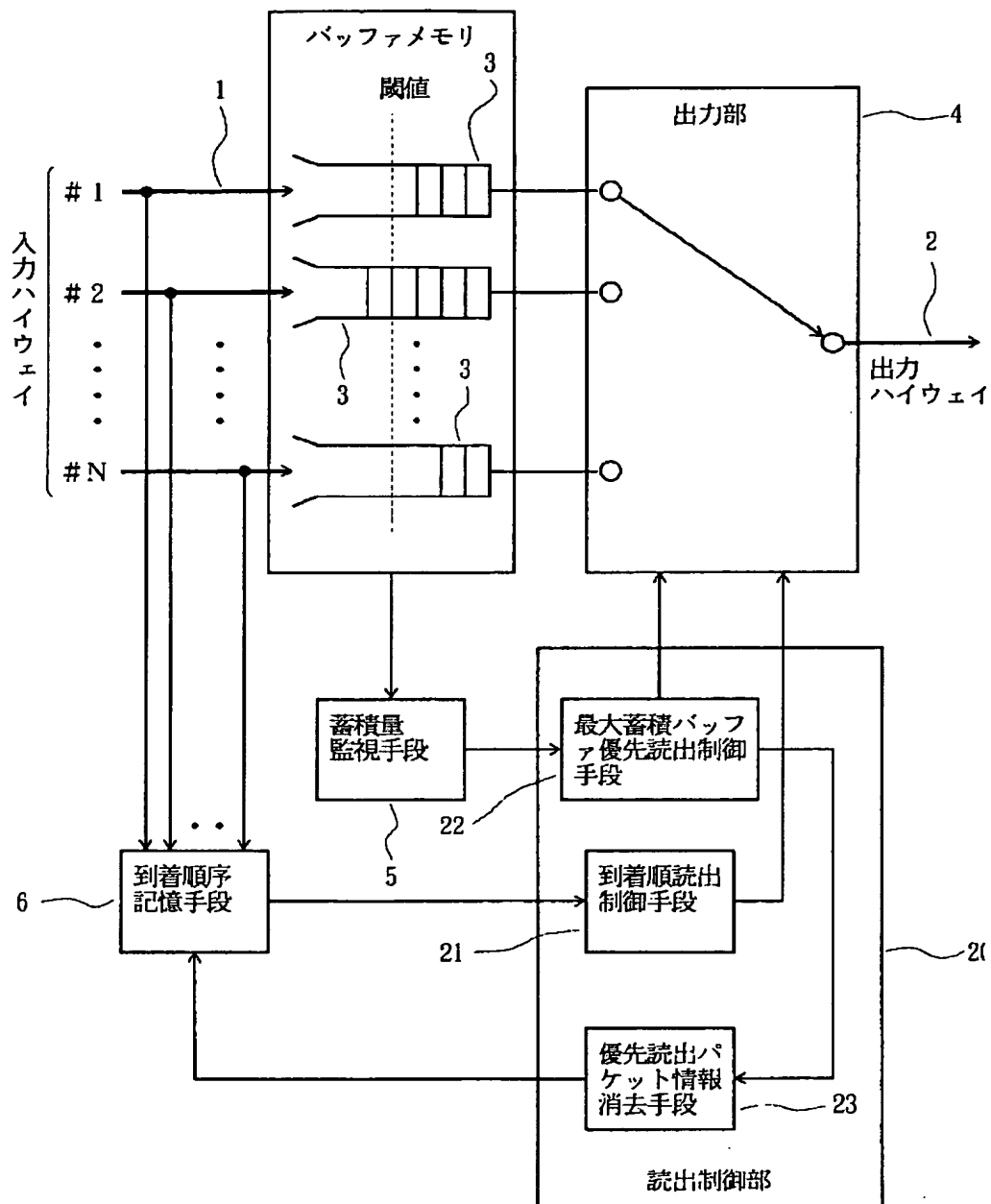
【図 1】

本発明の原理説明図 (1)



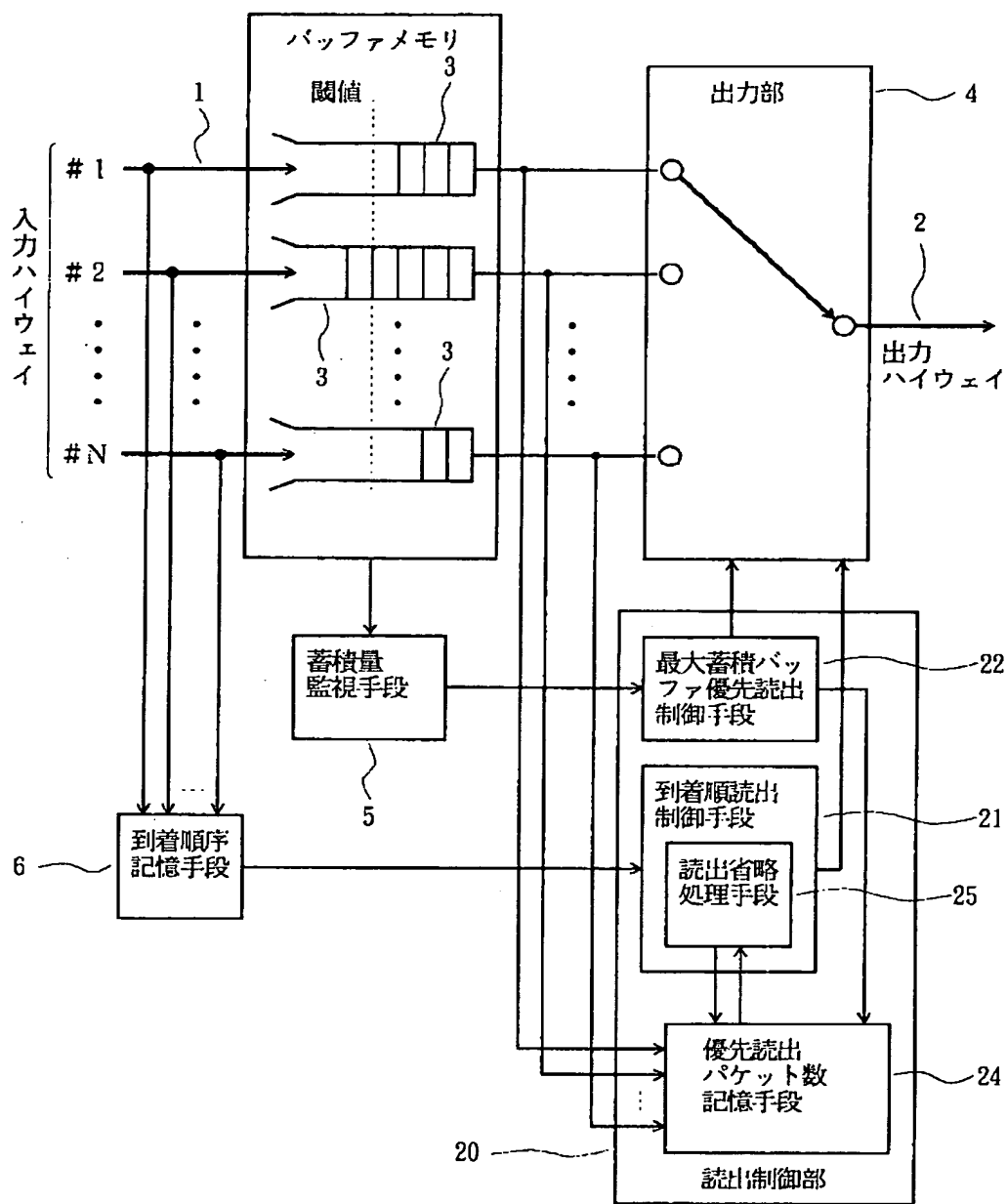
【図 2】

本発明の原理説明図 (2)



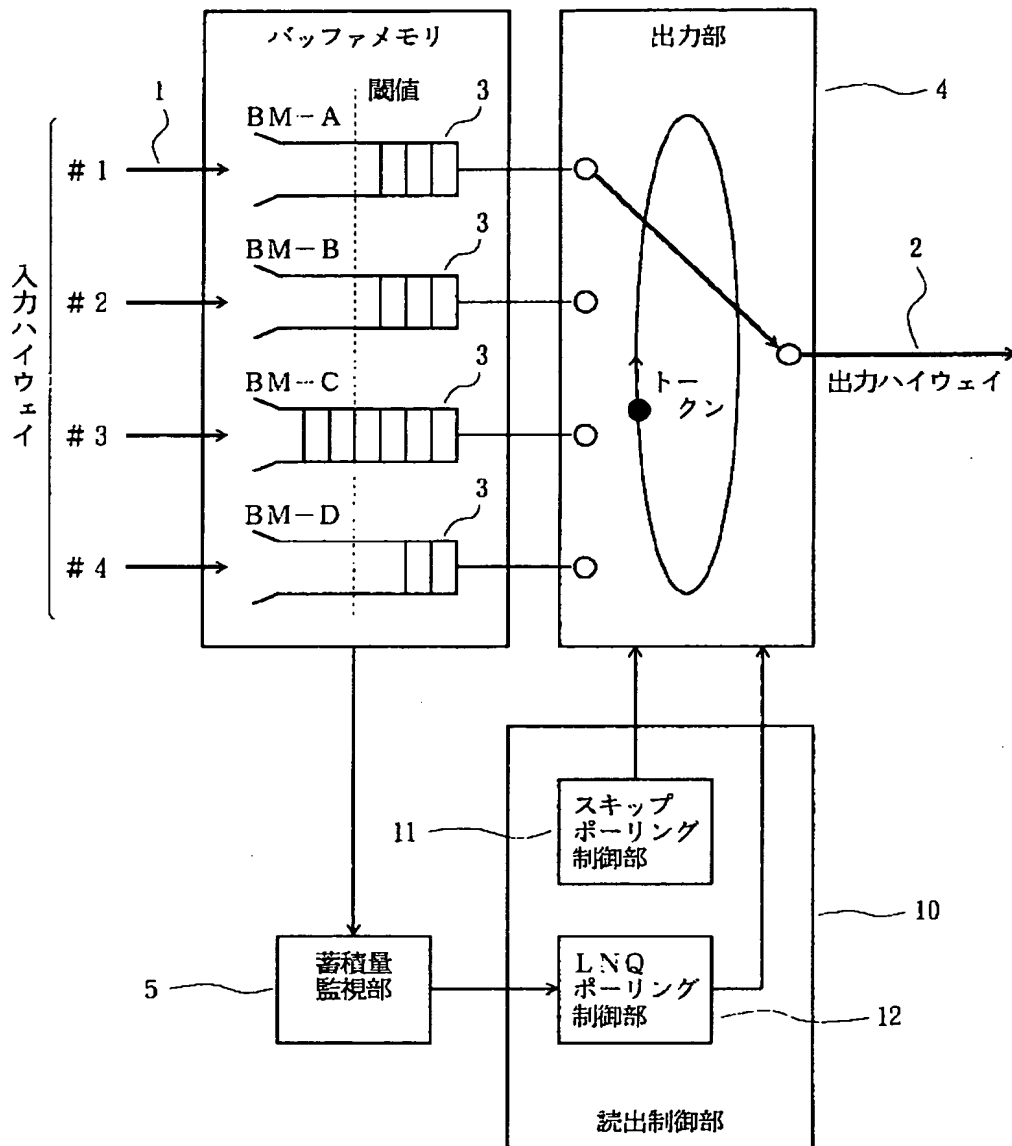
【図 3】

本発明の原理説明図 (3)



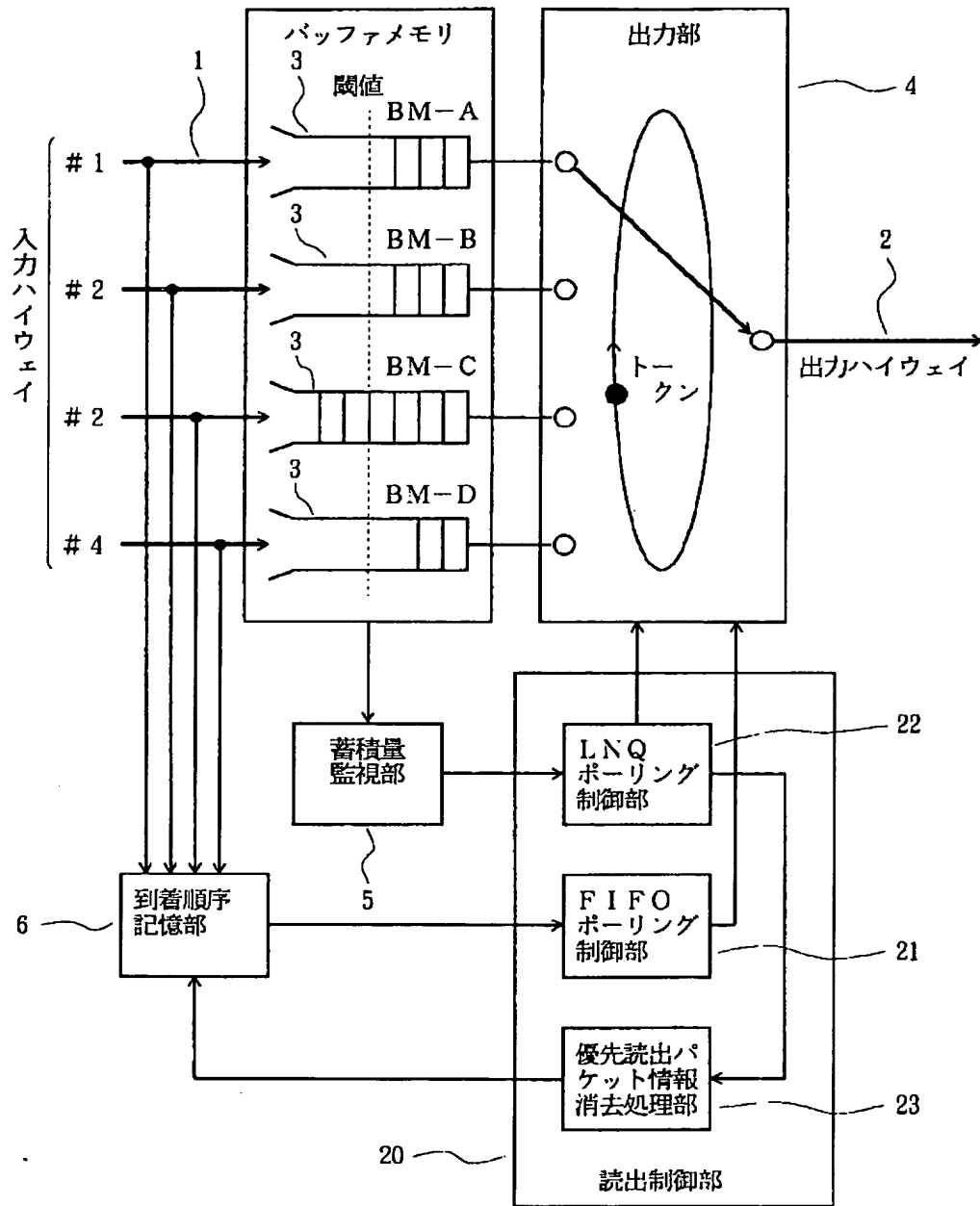
【図 4】

本発明の実施例構成図 (1)



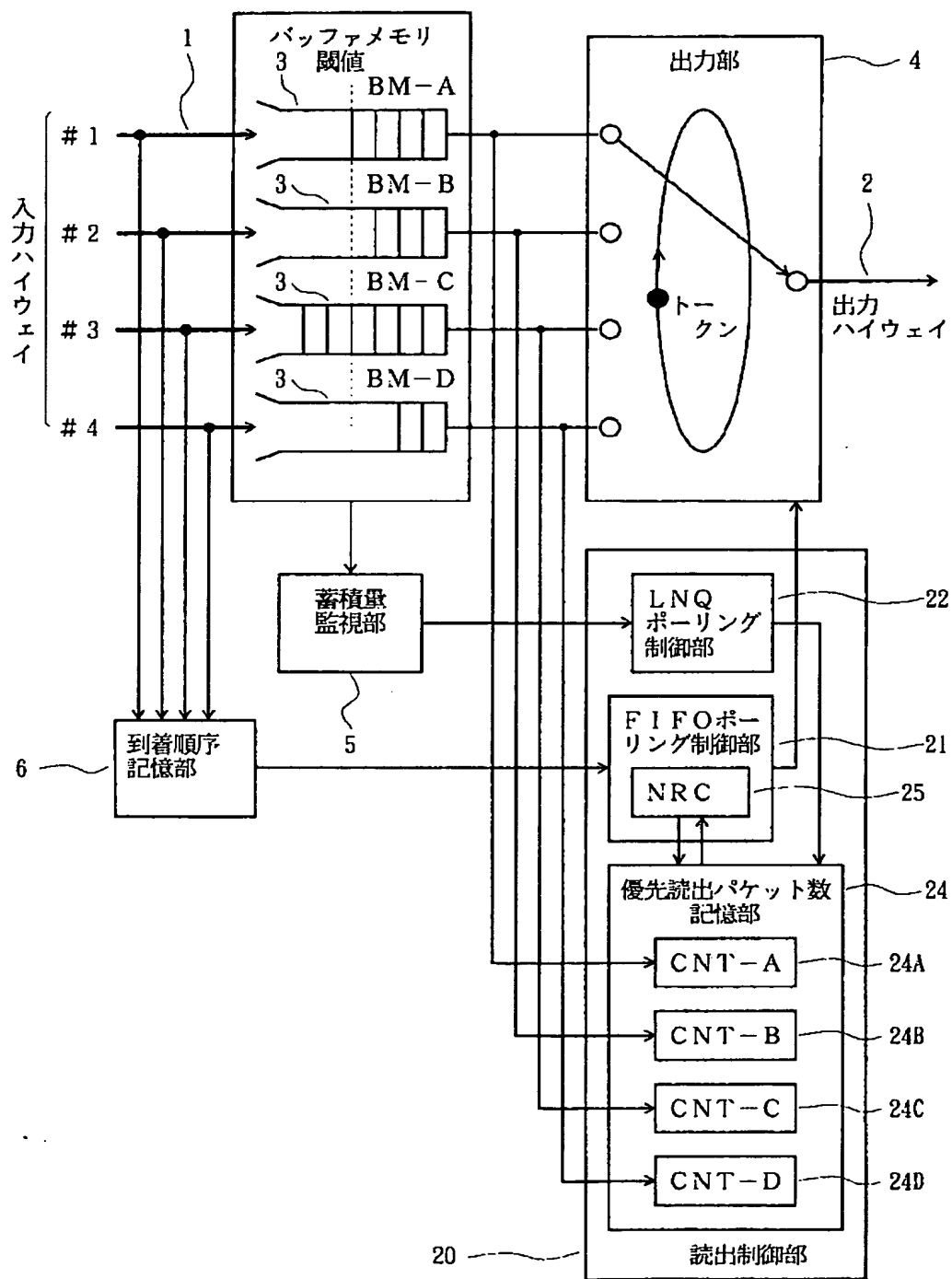
【図 5】

本発明の実施例構成図 (2)



【図 6】

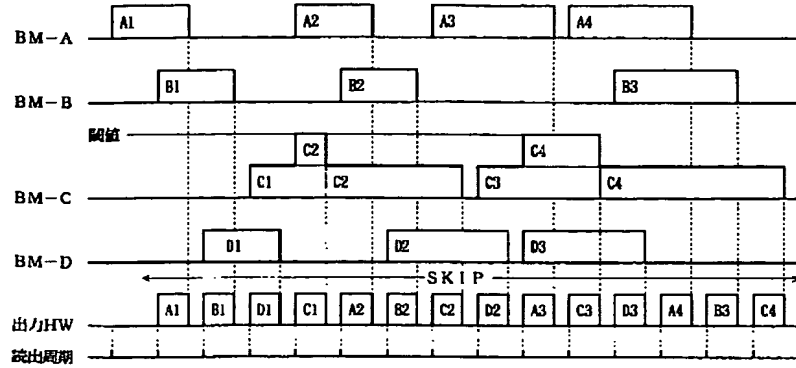
本発明の実施例構成図 (3)



【図 8】

図4の構成における実施例バッファメモリ蓄積状態説明図(1)

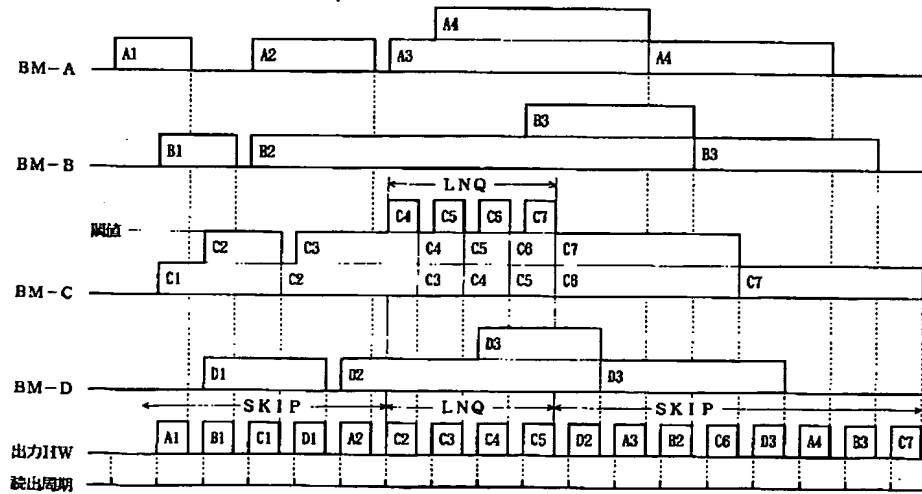
(1) バッファメモリの蓄積量がすべて閾値以下となる場合



【図 9】

図4の構成における実施例バッファメモリ蓄積状態説明図(2)

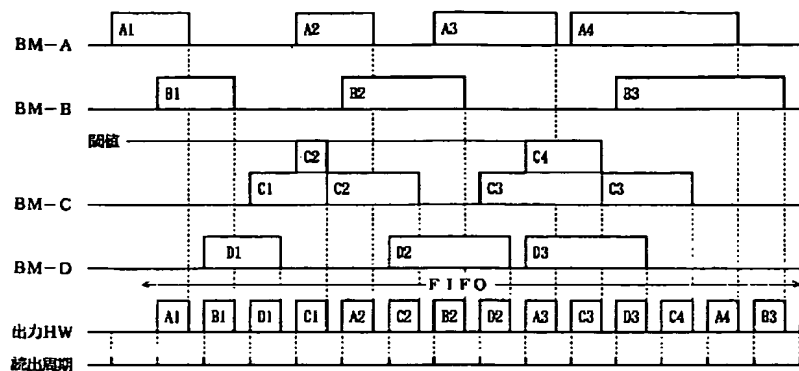
(2) 蓄積量が閾値を超えるバッファメモリが発生する場合



【図 10】

図 5・図 6 の構成における実施例バッファメモリ蓄積状態説明図 (1)

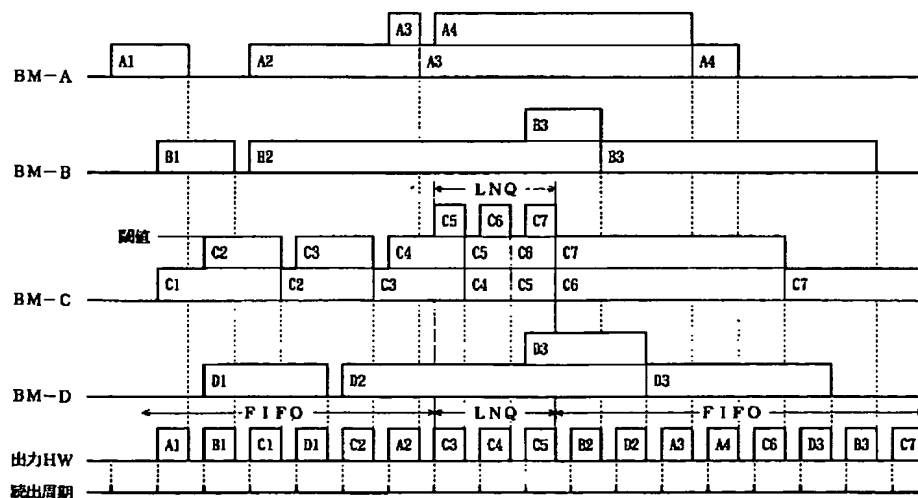
(1) バッファメモリの蓄積量がすべて閾値以下となる場合



【図 11】

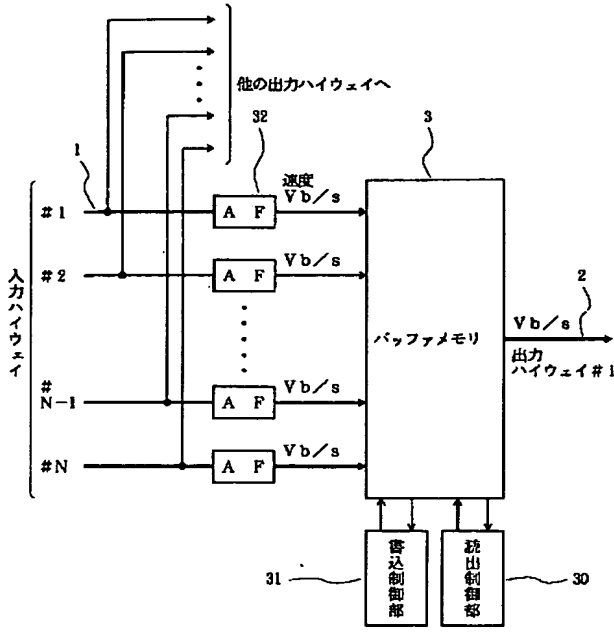
図 5・図 6 の構成における実施例バッファメモリ蓄積状態説明図 (2)

(2) 蓄積量が閾値を超えるバッファメモリが発生する場合



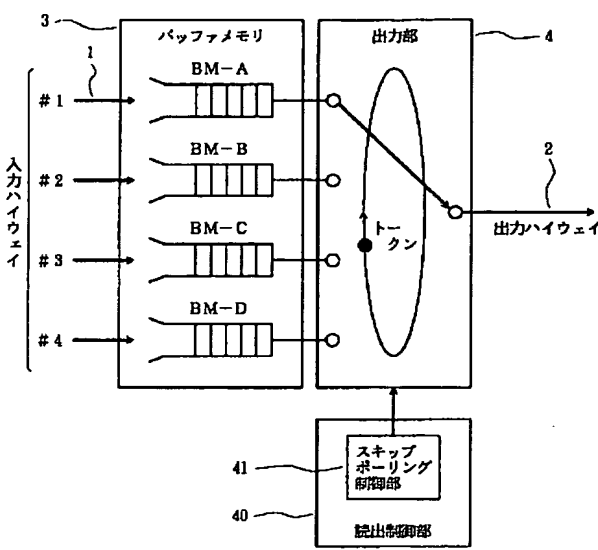
【図 12】

ATMスイッチの構成説明図



【図 15】

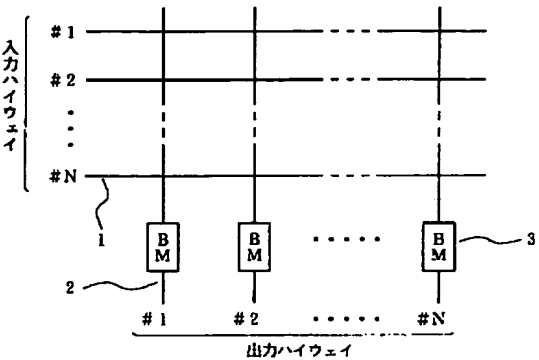
従来技術の構成図 (1)



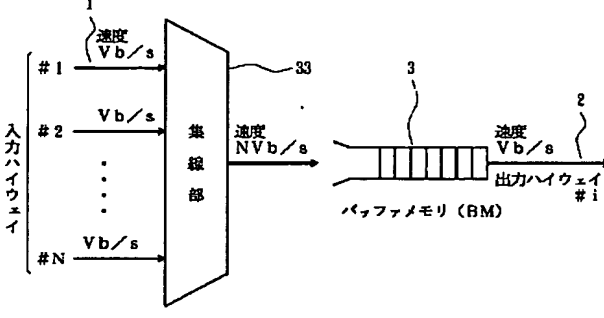
【図 13】

出力バッファ形式の構成説明図

(1) 全体構成図

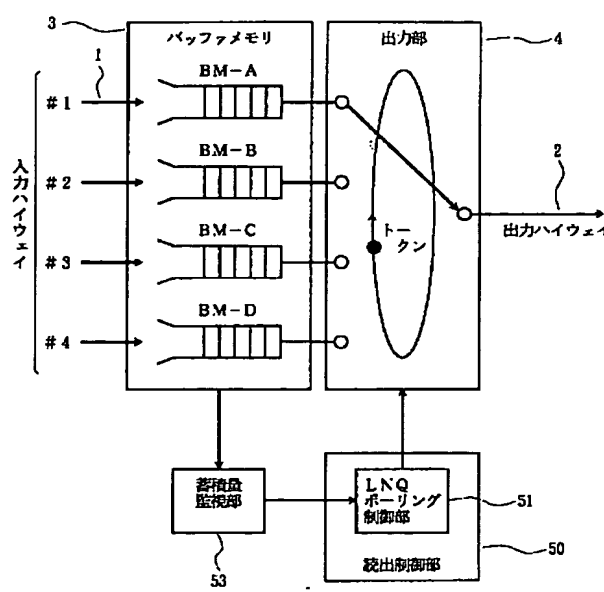


(2) 動作原理図



【図 16】

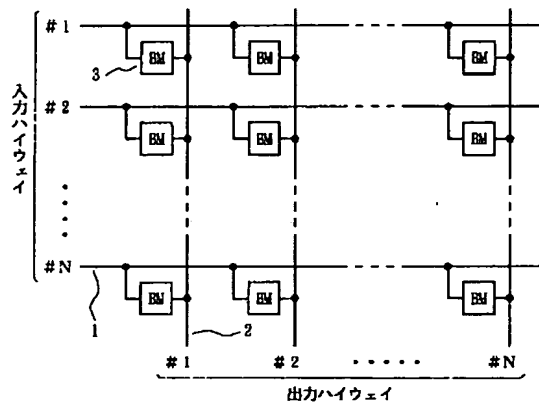
従来技術の構成図 (2)



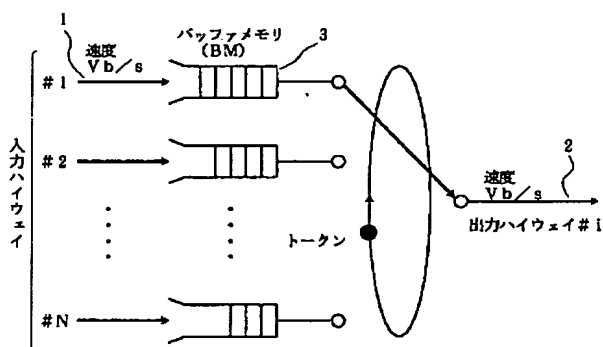
【図 14】

クロスポイント・バッファ形式の構成説明図

(1) 全体構成図

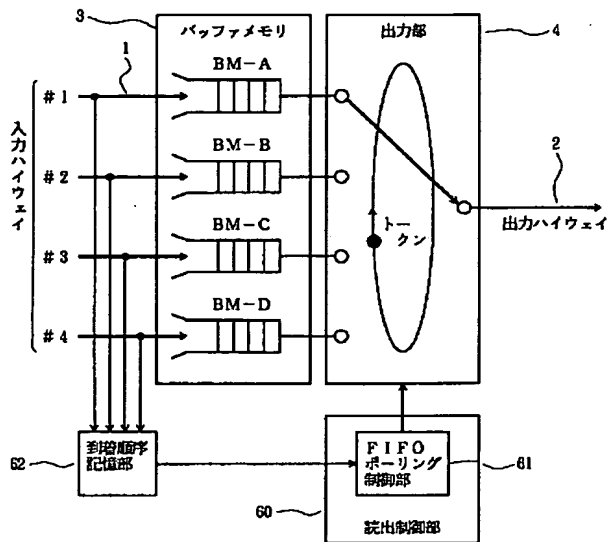


(2) 動作原理図



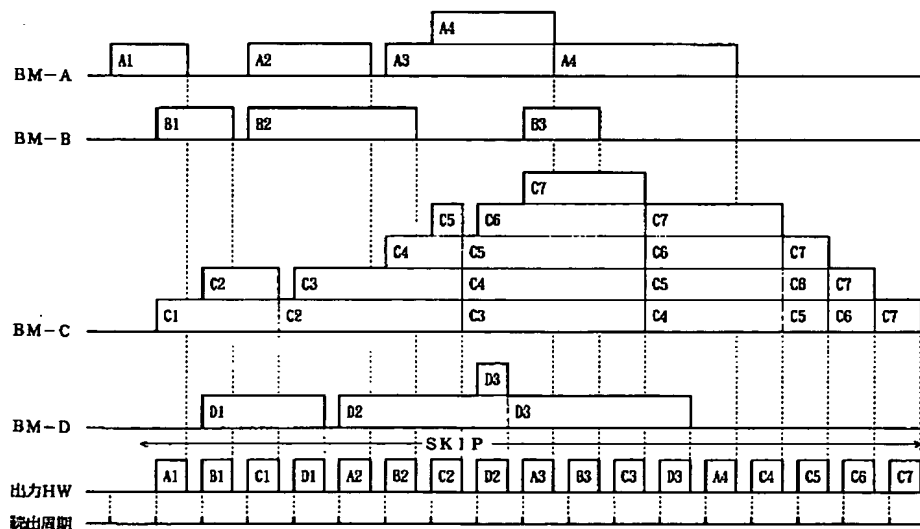
【図 17】

従来技術の構成図 (3)



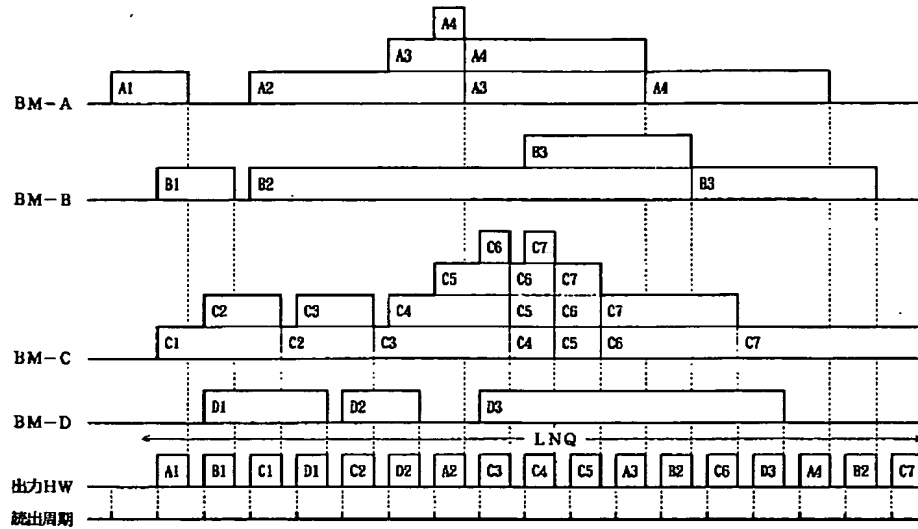
【図 18】

従来技術のバッファメモリ蓄積状態説明図 (1)



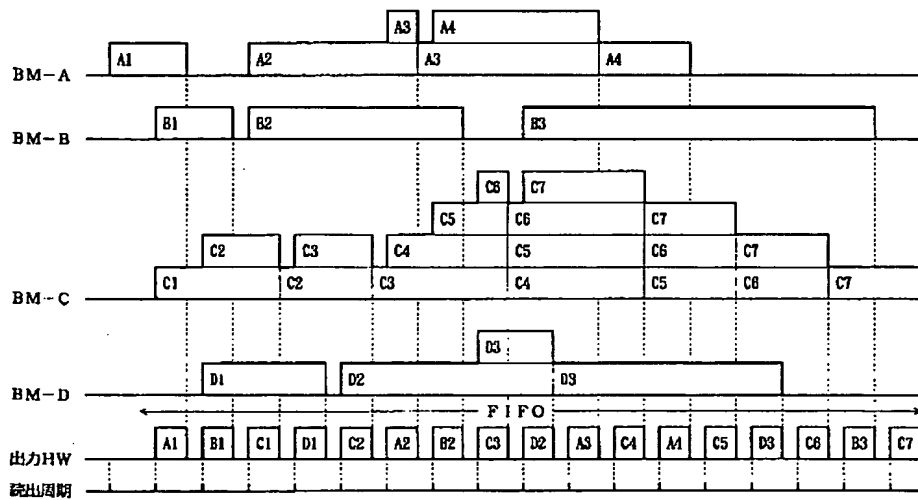
【図 19】

従来技術のバッファメモリ番線状態説明図 (2)



【図 20】

従来技術のバッファメモリ番線状態説明図 (3)



フロントページの続き

(72) 発明者 朝永 博
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 鴨井 條益
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.